

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064319

(43)Date of publication of application : 07.03.1997

---

(51)Int.Cl. H01L 27/12  
H01L 21/322

---

(21)Application number : 07-219021

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.08.1995

(72)Inventor : SAMATA SHUICHI

---

(54) SOI SUBSTRATE AND ITS MANUFACTURE

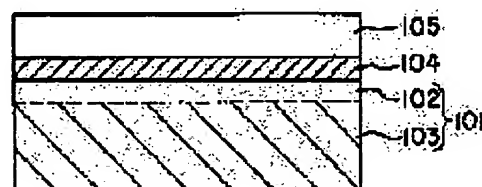
---

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide an SOT substrate wherein warp of the substrate can be relieved and manufacturing cost is low, and a manufacturing method of the SOI substrate.

SOLUTION: An SOI substrate has a silicon substrate 101, an SiO<sub>2</sub> film 104 formed on the upper surface of the silicon substrate 101, and a single crystal silicon film 105 formed on the upper surface of the SiO<sub>2</sub> film 104.

The silicon substrate 101 is provided with a layer 102 of no defect which is formed in contact with an interface with the SiO<sub>2</sub> insulating film 104 and whose density of oxygen deposit SiO<sub>2</sub> is zero, and an oxygen deposit layer 103 which is formed on a region except the layer 102 of no defect and has oxygen deposit density larger than the layer 102.



---

LEGAL STATUS

---

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] In the SOI substrate which has the semi-conductor substrate for SOI substrates, the insulator layer formed in the top face of this semi-conductor substrate, and the semi-conductor film formed in the top face of this insulator layer The oxygen sludge consistency formed so that said semi-conductor substrate for SOI substrates might touch an interface with said insulator layer Zero or the 1st layer of a low consistency, The SOI substrate characterized by having the 2nd layer which has the oxygen sludge consistency higher than the 1st layer concerned formed in fields other than this 1st oxygen sludge layer.

[Claim 2] The SOI substrate according to claim 1 characterized by for the thickness of said 1st layer being 25 micrometers or less, and the oxygen sludge consistency of said 2nd layer being more than  $1 \times 10^5$  cm<sup>-2</sup>.

[Claim 3] While an oxygen sludge consistency forms zero or the 1st layer of a low consistency near the front face of this 1st semi-conductor substrate by heat-treating to the 1st semi-conductor substrate The heat treatment process which forms the 2nd layer which has an oxygen sludge consistency higher than the 1st layer of the internal above of said 1st semi-conductor substrate, The adhesion process which pastes up said 1st layer of said semi-conductor substrate, and the 2nd semi-conductor substrate through an insulator layer, The 1st processing process which processes said 2nd semi-conductor substrate to predetermined thickness, and forms the semi-conductor film, The manufacture approach of the SOI substrate characterized by having processed said 1st semi-conductor substrate after said layer formation process, said adhesion process, or said semi-conductor film formation process, and having the 2nd processing process to which said 2nd layer is exposed.

[Claim 4] The manufacture approach of the SOI substrate according to claim 3 characterized by having set thickness of said 1st layer to 25 micrometers or less, and making the oxygen sludge consistency of said 2nd layer more than  $1 \times 10^5$  cm<sup>-2</sup> in said layer formation process.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a SOI (Semiconductor On Insulator) substrate and its manufacture approach.

[0002]

[Description of the Prior Art] the semi-conductor substrates 301 top, such as a substrate, i.e., Si etc., as conventionally shown in drawing 3, -- SiO<sub>2</sub> etc. -- the substrate of the structure in which the single crystal semiconductor film 303, such as an insulator layer 302 and a single crystal Si, was formed is known, and it is called the SOI substrate.

[0003] Such a SOI substrate has the advantages -- that the electric insulation between semiconductor devices is realizable at a simple process, and the component property of ULSI of metal-oxide-semiconductor structure can be raised by leaps and bounds.

[0004] moreover -- as the manufacture approach of a SOI substrate -- the pasting-up method and SIMOX -- law etc. is known.

[0005] The pasting-up method is an approach of manufacturing a SOI substrate, by polish-processing or etching processing the front face of one semi-conductor substrate, and forming the semi-conductor film, after pasting up two semi-conductor substrates through an insulator layer.

[0006] On the other hand, into a semi-conductor substrate, the SIMOX method is embedded by heat-treating, after pouring in high-concentration oxygen ion, and forms an oxide film, and structure as this showed to drawing 3 is acquired.

[0007]

[Problem(s) to be Solved by the Invention] However, since the coefficients of thermal expansion of the semi-conductor substrate 301, an insulator layer 302, and the single crystal semiconductor film 303 differed mutually, the conventional SOI substrate had the fault of being easy to generate the curvature of a substrate.

[0008] When using a SOI substrate for formation of a high power integrated circuit device especially, since it is necessary to thicken an insulator layer and the high voltage is impressed to a component in order to secure the electric insulation between components, it is necessary to also thicken thickness of a single crystal half conductor layer. For this reason, the magnitude of the curvature of a substrate will become very remarkable.

[0009] Here, when the curvature of a SOI substrate becomes large, formation of a component may become difficult by being hard coming to double a focus at a photolithography process. In addition, this fault becomes so remarkable that the rate of accumulation of an integrated circuit becomes large.

[0010] Moreover, when the curvature of a SOI substrate becomes very large, there is a case where maintenance and immobilization of the substrate by the vacuum chuck, an electrostatic chuck, etc. become impossible, and formation of a component becomes difficult also according to this fault.

[0011] On the other hand, it is also possible by forming an insulator layer and the semi-conductor film also in the rear face of a semi-conductor substrate to ease the curvature of a substrate.

[0012] However, by this approach, since it is necessary to add the process which forms an insulator layer and the semi-conductor film in the rear face of a semi-conductor substrate, the new fault that a manufacturing cost increases arises.

[0013] Moreover, since it is exposed by the inside of the process at which the insulator layer and semi-conductor film which were formed in the rear face of a semi-conductor substrate form a component in this SOI substrate, thickness will become thin at an oxidation-treatment process or an etching process. For this reason, since the effectiveness of easing curvature by this thin film-ization decreases, it is difficult to acquire sufficient effectiveness.

[0014] This invention is made in view of the fault of such a conventional technique, and aims at being able to ease the

curvature of a substrate and offering a SOI substrate with a cheap manufacturing cost, and its manufacture approach.  
[0015]

[Means for Solving the Problem]

(1) In the SOI substrate which has the insulator layer by which the SOI substrate concerning the 1st invention was formed in the top face of the semi-conductor substrate for SOI substrates, and this semi-conductor substrate, and the semi-conductor film formed in the top face of this insulator layer The oxygen sludge consistency formed so that said semi-conductor substrate for SOI substrates might touch an interface with said insulator layer Zero or the 1st layer of a low consistency, It is characterized by having the 2nd layer which has the oxygen sludge consistency higher than the 1st oxygen sludge layer concerned formed in fields other than this 1st oxygen sludge layer.

(2) The manufacture approach of the SOI substrate concerning the 2nd invention While an oxygen sludge consistency forms zero or the 1st layer of a low consistency near the front face of this 1st semi-conductor substrate by heat-treating to the 1st semi-conductor substrate The heat treatment process which forms the 2nd layer which has an oxygen sludge consistency higher than the 1st layer of the internal above of said 1st semi-conductor substrate, The adhesion process which pastes up said 1st layer of said semi-conductor substrate, and the 2nd semi-conductor substrate through an insulator layer, The 1st processing process which processes said 2nd semi-conductor substrate to predetermined thickness, and forms the semi-conductor film, It is characterized by having processed said 1st semi-conductor substrate after said layer formation process, said adhesion process, or said semi-conductor film formation process, and having the 2nd processing process to which said 2nd layer is exposed.

[0016]

[Embodiment of the Invention] Hereafter, this invention is explained more to a detail, explaining the operation gestalt of this invention.

[0017] Drawing 1 is the sectional view showing the structure of the SOI substrate concerning this operation gestalt.

[0018] In this drawing a silicon substrate (it is equivalent to "the semi-conductor substrate for SOI substrates" of the 1st invention) 101 Oxygen sludge (BMD; Bulk Micro Defect) SiO<sub>2</sub> to carry out The defect-free layer 102 whose consistency is the layer of zero (it is equivalent to the "1st layer" of the 1st invention), The consistency of an oxygen sludge (similarly SiO<sub>2</sub>) is equipped with the oxygen sludge layer (it is equivalent to the "2nd layer" of the 1st invention) 103 which is a layer of 5x10<sup>5</sup> cm<sup>-2</sup>. Moreover, in the front face of the defect-free layer 102, it is SiO<sub>2</sub>. The film (it is equivalent to the "insulator layer" of the 1st invention) 104 is formed. Furthermore, this SiO<sub>2</sub> The single-crystal-silicon film (it is equivalent to the "semi-conductor film" of the 1st invention) 105 is formed in the front face of the film 104.

[0019] Drawing 2 is the process sectional view showing the manufacture approach of the SOI substrate shown in drawing 1.

[0020] \*\* An oxygen density is the P type silicon substrate 201 (it is equivalent to "the 1st semi-conductor substrate" of the 2nd invention) of 15x10<sup>17</sup>cm<sup>-3</sup> first H<sub>2</sub> It heat-treated in the ambient atmosphere. Heating temperature at this time was made into 1200 degrees C, and heating time was made into 1 hour. Thereby, as shown in drawing 2 (a), in the field by the side of front flesh-side both sides of the Si substrate 201, the dissolution oxygen in this substrate 201 was emitted outside, and the defect-free layer 202 of zero was formed for the oxygen sludge consistency. On the other hand, in other fields, the oxygen sludge (SiO<sub>2</sub>) was formed from the dissolution oxygen in a substrate 201, and the oxygen sludge layer 203 of 5x10<sup>5</sup> cm<sup>-2</sup> was formed for this oxygen sludge consistency.

[0021] Here, the thickness of the defect-free layer 202 was 10 micrometers, respectively. In addition, this thickness is controllable by adjusting the temperature and time amount of heat-treatment.

[0022] As a silicon substrate 201, it is CZ (Czochralski). What was produced from the ingot raised by law was used. This is because the ingot raised by the CZ process contains oxygen from the first, so the special process for making a silicon substrate 201 contain oxygen becomes unnecessary.

[0023] In addition, as an oxygen density of this silicon substrate 201, the value measured by the specification of old ASTM was adopted.

[0024] \*\* Next, use the oxidizing [ thermally ] method for the front face of a silicon substrate 204 (it is equivalent to "the 2nd semi-conductor substrate" of the 2nd invention), and form the thermal oxidation film 205 (SiO<sub>2</sub> film; it is equivalent to the "insulator layer" of the 2nd invention) with a thickness of 2 micrometers in it.

[0025] \*\* And as shown in drawing 2 (b), this silicon substrate 204 was pasted up on the silicon substrate 201. It is N<sub>2</sub> in order to make adhesion firm at this time. It heat-treated in the ambient atmosphere. Heating temperature at this time was made into 1100 degrees C, and heating time was made into 30 minutes.

[0026] \*\* Then, as shown in drawing 2 (c), about 50 micrometers of rear faces of a silicon substrate 201 were ground, and the oxygen sludge layer 203 was exposed at this rear face.

[0027] \*\* Finally, as shown in drawing 2 (d), by grinding the front face of a silicon substrate 204, the semi-conductor

film 206 with a thickness of 10 micrometers was formed, and the SOI substrate concerning this operation gestalt was completed.

[0028] In addition, although the polish process (above-mentioned process \*\*) for exposing the oxygen sludge layer 203 of a silicon substrate 201 is performed after the process (above-mentioned process \*\*) on which a silicon substrate 201 and a silicon substrate 204 are pasted up, process \*\* may be performed before process \*\*, and may be performed after the polish process (above-mentioned process \*\*) of a silicon substrate 204 here.

[0029] When the curvature of the SOI substrate (it is described as "the operation gestalt 1" below) produced by the production process as shown by drawing 2 was measured, it was about 40 micrometers.

[0030] Moreover, when curvature was measured also about the SOI substrate (it is described as "the operation gestalt 2" below) which produced by performing the above-mentioned process \*\* before the above-mentioned process \*\*, it was about 40 micrometers like the above.

[0031] When above-mentioned process \*\* and \*\* were not performed, but the SOI substrate was produced as a conventional example on the other hand by the production process which made other process \*\*, \*\*, and \*\* the same conditions and the curvature of a substrate was measured, it was about 130 micrometers.

[0032] Then, the high power MOS IC was made as an experiment using each SOI substrate of the operation gestalt 1, the operation gestalt 2, and the conventional example. Consequently, about the conventional example, that it is hard to double a focus at a photolithography process, it did not become and maintenance and immobilization of the substrate by the vacuum chuck, an electrostatic chuck, etc. were not completed. On the other hand, about the SOI substrate of the operation gestalt 1 and the operation gestalt 2, such a problem was not generated at all.

[0033] Thus, according to this operation gestalt, a SOI substrate with little curvature can be manufactured only by adding the process (above-mentioned process \*\*) which forms the defect-free layer 202 and the oxygen sludge layer 203, and the process (above-mentioned process \*\*) at which the rear face of a silicon substrate 201 is ground and the oxygen sludge layer 203 is exposed. That is, according to this operation gestalt, a SOI substrate with little curvature can be cheaply manufactured by the simple production process.

[0034] In addition, it is H<sub>2</sub> as a controlled atmosphere at the process (above-mentioned process \*\*) which forms the defect-free layer 202 and the oxygen sludge layer 203 with this operation gestalt. Although gas was used, non-oxidizing quality heat treatment which used gas, such as CO, Ar, helium, Ne, Kr, and Xe, is also employable. Moreover, it is IG (Intrinsic Gettering) as above-mentioned process \*\*. You may carry out combining oxidizing quality heat treatment of the elevated temperature by law, a moderate temperature, or low temperature.

[0035] Although they are not restricted, in order to make the curvature of a substrate fully ease, as for especially heat treatment conditions, such as heating temperature in the above-mentioned process \*\*, and heating time, it is desirable to set conditions that the thickness of the defect-free layer 202 is set to 25 micrometers or less, and the oxygen sludge consistency of the oxygen sludge layer 203 becomes more than 1x10<sup>5</sup> cm<sup>-2</sup>.

[0036] Furthermore, although [ this operation gestalt ] the semi-conductor film 206 is produced by grinding the front face of a silicon substrate 204 (above-mentioned process \*\*), it may replace with polish and wet etching, dry etching, etc. may be used. It is possible to adopt wet etching, dry etching, etc. also as a process (above-mentioned process \*\*) at which similarly the rear face of a silicon substrate 201 is ground and the oxygen sludge layer 203 is exposed.

[0037] Although [ this operation gestalt ] the thermal oxidation film 205 is formed in the front face of a silicon substrate 204 using the oxidizing [ thermally ] method (above-mentioned process \*\*), this thermal oxidation film 205 is good also as forming in the direction of a silicon substrate 201. moreover, this thermal oxidation film 205 -- replacing with -- CVD (Chemical Vapor Deposition) law and PVD (Physical Vapor Deposition) -- the oxide film formed by law may be used -- further, it may replace with the thermal oxidation film 205, for example, other insulator layers, such as a silicon nitride and polycrystalline silicon film, may be used.

[0038] what is limited to this although what was produced as a P type silicon substrate 201 from the ingot raised by the CZ process was used (above-mentioned process \*\*) -- it is not -- for example, MCZ -- law and CCZ -- law and DLCZ -- the ingot raised by law etc. may be used. However, in order to fully ease the curvature of a SOI substrate, it is desirable for a dissolution oxygen density to use three or more [ 12x10<sup>17</sup>cm<sup>-3</sup> ] substrates. Furthermore, it may replace with a P type substrate, an N type substrate may be used, and especially surface crystal orientation is not limited, either.

[0039] Furthermore, the effectiveness same also as replacing with the defect-free layer 202 and forming the oxygen sludge layer of a low consistency can be acquired.

[0040]

[Effect of the Invention] As explained to the detail above, according to this invention, the curvature of a substrate can be eased and a SOI substrate with a cheap manufacturing cost and its manufacture approach can be offered.

---

[Translation done.]

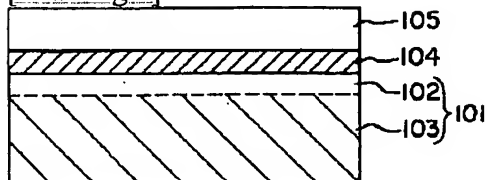
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

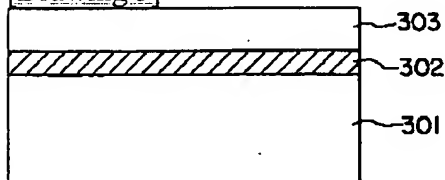
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

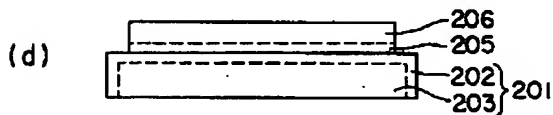
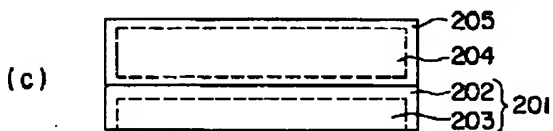
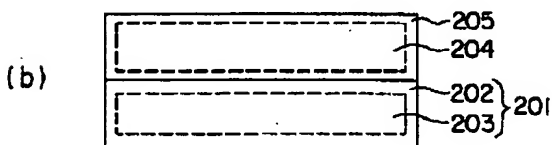
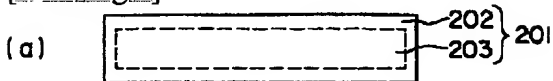
[Drawing 1]



[Drawing 3]



[Drawing 2]



[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064319  
(43)Date of publication of application : 07.03.1997

(51)Int.Cl. H01L 27/12  
H01L 21/322

(21)Application number : 07-219021 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 28.08.1995 (72)Inventor : SAMATA SHUICHI

## (54) SOI SUBSTRATE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an SOT substrate wherein warp of the substrate can be relieved and manufacturing cost is low, and a manufacturing method of the SOI substrate.

**SOLUTION:** An SOI substrate has a silicon substrate 101, an SiO<sub>2</sub> film 104 formed on the upper surface of the silicon substrate 101, and a single crystal silicon film 105 formed on the upper surface of the SiO<sub>2</sub> film 104. The silicon substrate 101 is provided with a layer 102 of no defect which is formed in contact with an interface with the SiO<sub>2</sub> insulating film 104 and whose density of oxygen deposit SiO<sub>2</sub> is zero, and an oxygen deposit layer 103 which is formed on a region except the layer 102 of no defect and has oxygen deposit density larger than the layer 102.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64319

(43) 公開日 平成9年(1997)3月7日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12			H 0 1 L 27/12	B
21/322			21/322	Y

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平7-219021

(22) 出願日 平成7年(1995)8月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐 俣 秀 一

神奈川県川崎市幸区堀川町72番地 株式会

社東芝堀川町工場内

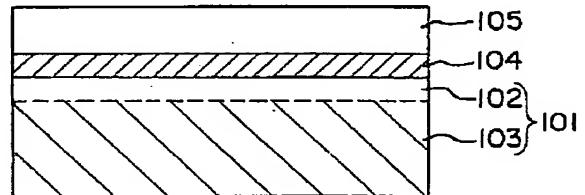
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 S O I 基板およびその製造方法

(57) 【要約】

【目的】 基板の反りを緩和することができ且つ製造コストが安価なS O I 基板およびその製造方法を提供する。

【構成】 シリコン基板101と、このシリコン基板101の上面に形成された $\text{SiO}_2$ 膜104と、この $\text{SiO}_2$ 膜104の上面に形成された単結晶シリコン膜105とを有するS O I 基板において、シリコン基板101が、 $\text{SiO}_2$ 膜104絶縁膜との界面と接するように形成された酸素析出物 $\text{SiO}_2$ の密度が零の無欠陥層102と、この無欠陥層102以外の領域に形成された当該無欠陥層102よりも高い酸素析出物密度を有する酸素析出物層103とを備える。



## 【特許請求の範囲】

【請求項1】SOI基板用半導体基板と、この半導体基板の上面に形成された絶縁膜と、この絶縁膜の上面に形成された半導体膜とを有するSOI基板において、前記SOI基板用半導体基板が、前記絶縁膜との界面と接するように形成された、酸素析出物密度が零または低密度の第1の層と、この第1の酸素析出物層以外の領域に形成された、当該第1の層よりも高い酸素析出物密度を有する第2の層と、を備えたことを特徴とするSOI基板。

【請求項2】前記第1の層の厚みが $25\mu\text{m}$ 以下であり、且つ、前記第2の層の酸素析出物密度が $1\times 10^5\text{cm}^{-2}$ 以上であることを特徴とする請求項1記載のSOI基板。

【請求項3】第1の半導体基板に熱処理を施すことにより、この第1の半導体基板の表面近傍に酸素析出物密度が零または低密度の第1の層を形成するとともに、前記第1の半導体基板の内部前記第1の層よりも高い酸素析出物密度を有する第2の層を形成する熱処理工程と、前記半導体基板の前記第1の層と第2の半導体基板とを絶縁膜を介して接着する接着工程と、前記第2の半導体基板を所定の厚さまで加工して半導体膜を形成する第1の加工工程と、前記層形成工程後、前記接着工程後または前記半導体膜形成工程後の前記第1の半導体基板を加工して、前記第2の層を露出させる第2の加工工程と、を備えたことを特徴とするSOI基板の製造方法。

【請求項4】前記層形成工程において、前記第1の層の厚みを $25\mu\text{m}$ 以下とし、且つ、前記第2の層の酸素析出物密度を $1\times 10^5\text{cm}^{-2}$ 以上としたことを特徴とする請求項3記載のSOI基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、SOI(Semiconductor On Insulator)基板およびその製造方法に関するものである。

## 【0002】

【従来の技術】従来より、図3に示したような基板、すなわち、Si等の半導体基板301上に、 $\text{SiO}_2$ 等の絶縁膜302および単結晶Si等の単結晶半導体膜303を形成した構造の基板が知られており、SOI基板と称されている。

【0003】このようなSOI基板は、半導体素子間の電氣的絶縁を簡便な工程で実現できることや、MOS構造のULSIの素子特性を飛躍的に向上させることができること等の長所を有している。

【0004】また、SOI基板の製造方法としては、接着法やSIMOX法等が知られている。

【0005】接着法は、絶縁膜を介して2枚の半導体基

板を接着した後、一方の半導体基板の表面を研磨加工或いはエッチング加工して半導体膜を形成することにより、SOI基板を製造する方法である。

【0006】一方、SIMOX法とは、半導体基板中に、高濃度の酸素イオンを注入した後で、熱処理を行うことにより埋め込み酸化膜を形成し、これにより図3に示したような構造を得るものである。

## 【0007】

【発明が解決しようとする課題】しかしながら、従来のSOI基板には、半導体基板301、絶縁膜302および単結晶半導体膜303の熱膨張係数が互いに異なるため、基板の反りが発生しやすいという欠点があった。

【0008】特に、高電力集積回路素子の形成にSOI基板を用いる場合、素子間の電氣的絶縁性を確保するためには絶縁膜を厚くする必要があり、また、高電圧が素子に印加されるので単結晶半導体層の厚さも厚くする必要がある。このため、基板の反りの大きさは非常に顕著なものとなる。

【0009】ここで、SOI基板の反りが大きくなると、フォトリソグラフィ工程で焦点を合わせ難くなることにより、素子の形成が困難になることがある。なお、この欠点は、集積回路の集積率が大きくなるほど顕著となる。

【0010】また、SOI基板の反りが非常に大きくなった場合には、真空チャックや静電チャック等による基板の保持・固定ができなくなる場合があり、この欠点によっても素子の形成が困難となる。

【0011】これに対して、半導体基板の裏面にも絶縁膜や半導体膜を形成することによって基板の反りを緩和することも可能である。

【0012】しかし、この方法では、半導体基板の裏面に絶縁膜および半導体膜を形成する工程を追加する必要があるため、製造コストが増大するという新たな欠点が生じる。

【0013】また、半導体基板の裏面に形成された絶縁膜および半導体膜は、このSOI基板に素子を形成する工程中は露出されているため、酸化処理工程やエッチング工程で膜厚が薄くなってしまふ。このため、この薄膜化によって反りを緩和するという効果が減少してしまふので、十分な効果を得ることは困難である。

【0014】本発明は、このような従来技術の欠点に鑑みてなされたものであり、基板の反りを緩和することができ且つ製造コストが安価なSOI基板およびその製造方法を提供することを目的とする。

## 【0015】

## 【課題を解決するための手段】

(1)第1の発明に係るSOI基板は、SOI基板用半導体基板と、この半導体基板の上面に形成された絶縁膜と、この絶縁膜の上面に形成された半導体膜とを有するSOI基板において、前記SOI基板用半導体基板が、

前記絶縁膜との界面と接するように形成された、酸素析出物密度が零または低密度の第1の層と、この第1の酸素析出物層以外の領域に形成された、当該第1の酸素析出物層よりも高い酸素析出物密度を有する第2の層と、を備えたことを特徴とする。

(2) 第2の発明に係るSOI基板の製造方法は、第1の半導体基板に熱処理を施すことにより、この第1の半導体基板の表面近傍に酸素析出物密度が零または低密度の第1の層を形成するとともに、前記第1の半導体基板の内部前記第1の層よりも高い酸素析出物密度を有する第2の層を形成する熱処理工程と、前記半導体基板の前記第1の層と第2の半導体基板とを絶縁膜を介して接着する接着工程と、前記第2の半導体基板を所定の厚さまで加工して半導体膜を形成する第1の加工工程と、前記層形成工程後、前記接着工程後または前記半導体膜形成工程後の前記第1の半導体基板を加工して、前記第2の層を露出させる第2の加工工程と、を備えたことを特徴とする。

【0016】

【発明の実施の形態】以下、本発明の実施形態について説明しつつ、本発明についてより詳細に説明する。

【0017】図1は、本実施形態に係るSOI基板の構造を示す断面図である。

【0018】同図において、シリコン基板(第1の発明の「SOI基板用半導体基板」に相当する)101は、酸素析出物(BMD; Bulk Micro Defect)としての $\text{SiO}_2$ の密度が零の層である無欠陥層(第1の発明の「第1の層」に相当する)102と、酸素析出物(同じく $\text{SiO}_2$ )の密度が $5 \times 10^5 \text{ cm}^{-2}$ の層である酸素析出物層(第1の発明の「第2の層」に相当する)103とを備えている。また、無欠陥層102の表面には、 $\text{SiO}_2$ 膜(第1の発明の「絶縁膜」に相当する)104が形成されている。さらに、この $\text{SiO}_2$ 膜104の表面には、単結晶シリコン膜(第1の発明の「半導体膜」に相当する)105が形成されている。

【0019】図2は、図1に示したSOI基板の製造方法を示す工程断面図である。

【0020】①まず、酸素濃度が $15 \times 10^{17} \text{ cm}^{-3}$ のP型シリコン基板201(第2の発明の「第1の半導体基板」に相当する)を、 $\text{H}_2$ 雰囲気中で加熱処理した。このときの加熱温度は $1200^\circ\text{C}$ 、加熱時間は1時間とした。これにより、図2(a)に示したように、 $\text{Si}$ 基板201の表裏両面側の領域では、この基板201中の固溶酸素が外部に放出されて、酸素析出物密度が零の無欠陥層202が形成された。一方、その他の領域では、基板201中の固溶酸素から酸素析出物( $\text{SiO}_2$ )が形成されて、この酸素析出物密度が $5 \times 10^5 \text{ cm}^{-2}$ の酸素析出物層203が形成された。

【0021】ここで、無欠陥層202の厚さは、それぞれ $10 \mu\text{m}$ であった。なお、この厚さは、加熱処理の温

度および時間を調整することで制御できる。

【0022】シリコン基板201としては、CZ(Czochralski)法で育成したインゴットから作製したものを使用した。これは、CZ法で育成したインゴットが元々酸素を含有しているため、シリコン基板201に酸素を含有させるための特別な工程が不要となるからである。

【0023】なお、このシリコン基板201の酸素濃度としては、旧ASTMの規格によって測定した値を採用した。

【0024】②次に、シリコン基板204(第2の発明の「第2の半導体基板」に相当する)の表面に、熱酸化法を用いて、厚さ $2 \mu\text{m}$ の熱酸化膜205( $\text{SiO}_2$ 膜; 第2の発明の「絶縁膜」に相当する)を形成する。

【0025】③そして、図2(b)に示したように、このシリコン基板204をシリコン基板201に接着した。このとき、接着を強固なものとするために、 $\text{N}_2$ 雰囲気中で熱処理を行った。このときの加熱温度は $1100^\circ\text{C}$ とし、加熱時間は30分とした。

【0026】④続いて、図2(c)に示したように、シリコン基板201の裏面を約 $50 \mu\text{m}$ 研磨して、この裏面に酸素析出物層203を露出させた。

【0027】⑤最後に、図2(d)に示したように、シリコン基板204の表面を研磨することによって厚さ $10 \mu\text{m}$ の半導体膜206を形成して、本実施形態に係るSOI基板を完成させた。

【0028】なお、ここでは、シリコン基板201の酸素析出物層203を露出させるための研磨工程(上記工程④)を、シリコン基板201とシリコン基板204とを接着させる工程(上記工程③)の後で行うこととしたが、工程④は、工程③の前に行ってもよいし、また、シリコン基板204の研磨工程(上記工程⑤)の後に行ってもよい。

【0029】図2で示したような製造工程で作製したSOI基板(以下「実施形態1」と記す)の反りを測定したところ、 $40 \mu\text{m}$ 程度であった。

【0030】また、上記工程④を上記工程③の前に行って作製したSOI基板(以下「実施形態2」と記す)についても反りを測定したところ、上記と同様、 $40 \mu\text{m}$ 程度であった。

【0031】一方、従来例として、上記工程①、④を行わず、他の工程②、③、⑤を同一条件とした製造工程でSOI基板を作製し、基板の反りを測定したところ、 $130 \mu\text{m}$ 程度であった。

【0032】続いて、実施形態1、実施形態2、従来例の各SOI基板を用いて高電力MOS集積回路を試作した。この結果、従来例については、フォトリソグラフィ工程で焦点を合わせ難くなったり、真空チャックや静電チャック等による基板の保持・固定ができなかったりした。一方、実施形態1および実施形態2のSOI基板

については、このような問題はまったく発生しなかった。

【0033】このように、本実施形態によれば、無欠陥層202および酸素析出物層203を形成する工程（上記工程①）と、シリコン基板201の裏面を研磨して酸素析出物層203を露出させる工程（上記工程④）を追加するだけで、反りの少ないSOI基板を製造することができる。すなわち、本実施形態によれば、反りの少ないSOI基板を、簡便な製造工程で安価に製造することができる。

【0034】なお、本実施形態では、無欠陥層202および酸素析出物層203を形成する工程（上記工程①）で、雰囲気ガスとしてH<sub>2</sub>ガスを使用した。CO、Ar、He、Ne、Kr、Xe等のガスを用いた非酸化性熱処理を採用することもできる。また、上記工程①として、IG(Intrinsic Gettering)法による高温、中温または低温の酸化性熱処理を組み合わせて行ってもよい。

【0035】上記工程①における加熱温度、加熱時間等の熱処理条件は、特に制限されるものではないが、基板の反りを十分に緩和させるためには、無欠陥層202の厚みが25μm以下となり、且つ、酸素析出物層203の酸素析出物密度が $1 \times 10^{17} \text{ cm}^{-2}$ 以上となるように条件を定めることが望ましい。

【0036】さらに、本実施形態では、シリコン基板204の表面を研磨することによって半導体膜206を作製することとしたが（上記工程⑤）、研磨に代えて湿式エッチングやドライエッチング等を用いてもよい。同様に、シリコン基板201の裏面を研磨して酸素析出物層203を露出させる工程（上記工程④）としても、湿式エッチングやドライエッチング等を採用することが可能である。

【0037】本実施形態では、熱酸化法を用いてシリコン基板204の表面に熱酸化膜205を形成することとしたが（上記工程②）、この熱酸化膜205はシリコン基板201の方に形成することとしてもよい。また、この熱酸化膜205に代えて、CVD(Chemical Vapor De\*

\*position) 法やPVD(Physical Vapor Deposition)法で形成した酸化膜を使用してもよい、さらには、熱酸化膜205に代えて、例えばシリコン窒化膜や多結晶シリコン膜等の、他の絶縁膜を用いてもよい。

【0038】P型シリコン基板201としては、CZ法で育成したインゴットから作製したものを使用した（上記工程①）、これに限定されるものではなく、例えばMCZ法、CCZ法、DLCZ法等で育成したインゴットを使用してもよい。但し、SOI基板の反りを十分に緩和するためには、固溶酸素濃度が $1.2 \times 10^{17} \text{ cm}^{-3}$ 以上の基板を使用することが望ましい。さらに、P型基板に代えてN型基板を使用してもよく、表面結晶方位も特に限定されない。

【0039】さらに、無欠陥層202に代えて低密度の酸素析出物層を形成することとしても、同様の効果を得ることができる。

【0040】

【発明の効果】以上詳細に説明したように、本発明によれば、基板の反りを緩和することができ且つ製造コストが安価なSOI基板およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るSOI基板の構造を示す断面図である。

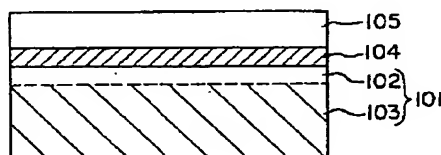
【図2】(a)～(d)ともに、図1に示したSOI基板の製造方法を示す工程断面図である。

【図3】従来のSOI基板の構造を示す断面図である。

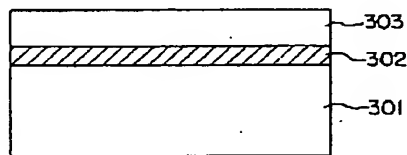
【符号の説明】

101, 201 P型シリコン基板  
102, 202 無欠陥層  
103, 203 酸素析出物層  
104 SiO<sub>2</sub>膜  
105 単結晶シリコン膜  
204 シリコン基板  
205 熱酸化膜  
206 半導体膜

【図1】



【図3】



【図2】

